

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-245738

(43)Date of publication of application : 01.10.1990

(51)Int.Cl.

G02F 1/136

(21)Application number : 01-066154

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.03.1989

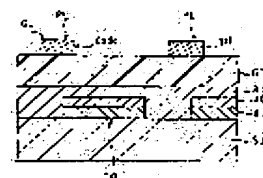
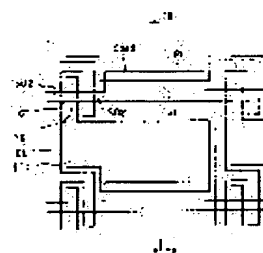
(72)Inventor : TANIGUCHI HIDEAKI  
ORITSUKI RYOJI  
SASANO AKIRA

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To prevent a line defect and a point defect from occurring by making at least the width of the (i) type semiconductor layer of a source electrode part and a drain electrode part larger than that of a scanning signal line.

CONSTITUTION: The (i) type semiconductor layer AS 1 and an insulating film GI are provided all over the surface of a liquid crystal display part and an electrode PL 11 which constitutes a retention volume element Cadd with a transparent picture element electrode ITO 1 is provided to protrude from an adjacent scanning signal line GL. Since the (i) type semiconductor layer AS 1 and the insulating film GI are provided all over the surface of the liquid crystal display part, surface leakage current is not caused from the edges of the scanning signal line GL and the gate electrode GT. The scanning signal line GL, the gate electrode GT, a source electrode SD 1 and the drain electrode SD 2 do not short-circuit, so that the line defect and the point defect are prevented from occurring. Thus, a liquid crystal display device where the line defect and the point defect are prevented from occurring is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-245738

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月1日

G 02 F 1/136

5 0 0

7370-2H

審査請求 未請求 請求項の数 2 (全17頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 平1-66154

⑰ 出 願 平1(1989)3月20日

⑱ 発 明 者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 折 付 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 笹 野 晃 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

液晶表示装置

## 2. 特許請求の範囲

1. 薄膜トランジスタと画素電極とを画素の一構成要素とし、上記画素電極、映像信号線、ソース電極、ドレイン電極を同一の透明導電膜で形成し、上記ソース電極、上記ドレイン電極上にN<sup>+</sup>型半導体層を設け、その上に走査信号線を形成し、上記走査信号線の下方にi型半導体層およびゲート絶縁膜となる絶縁膜を設けたアクティブ・マトリクス方式の液晶表示装置において、少なくとも上記ソース電極部、上記ドレイン電極部の上記i型半導体層の幅を上記走査信号線の幅よりも大きくしたことを特徴とする液晶表示装置。

2. 薄膜トランジスタと画素電極とを画素の一構成要素とし、上記画素電極、映像信号線、ソース電極、ドレイン電極を同一の透明導電膜で形成し、上記ソース電極、上記ドレイン電極上に

N<sup>+</sup>型半導体層を設け、その上に走査信号線を形成し、上記走査信号線の下方にi型半導体層およびゲート絶縁膜となる絶縁膜を設けたアクティブ・マトリクス方式の液晶表示装置において、上記画素電極とで保持容量素子を構成すべき電極を設けたことを特徴とする液晶表示装置。

## 3. 発明の詳細な説明

【産業上の利用分野】

この発明は、液晶表示装置、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置に関する。

【従来の技術】

アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して非線形素子(スイッチング素子)を設けたものである。各画素における液晶は理論的には常時駆動(デューティ比 1.0)されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く特にカラーでは欠かせない技術とな

りつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ(TFT)がある。

第11図は従来のアクティブ・マトリクス方式の液晶表示装置(ジャパン ディスプレイ '86 (JAPAN DISPLAY '86) 332、333頁)の液晶表示部の一部を示す平面図、第12図は第11図のA-A切断線における断面図、第13図は第11図のB-B切断線における断面図である。図において、SUB1は下部透明ガラス基板、d11はITO膜(透明導電膜)、d01はN<sup>+</sup>型の非晶質シリコンからなるN<sup>+</sup>型半導体層、AS1はi型の非晶質シリコンからなるi型半導体層、GIはゲート絶縁膜として使用される絶縁膜、g11はアルミニウムからなる導電膜、GLは走査信号線、GTはゲート電極、DLは映像信号線、SD1はソース電極、SD2はドレイン電極、ITO1は透明画素電極である。

この液晶表示装置を製造するには、ITO膜d11、N<sup>+</sup>型半導体層d01を設け、ITO膜d11、N<sup>+</sup>型半導体層d01を選択的にエッチン

グすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2、透明画素電極ITO1を形成したのち、i型半導体層AS1、絶縁膜GI、導電膜g11を設け、i型半導体層AS1、絶縁膜GI、導電膜g11を選択的にエッチングすることにより、走査信号線GL、ゲート電極GTを形成すればよいから、非常に容易に製造することができる。

#### 【発明が解決しようとする問題点】

しかし、このような液晶表示装置においては、走査信号線GL、ゲート電極GTのエッジからの表面リーク電流によって、走査信号線GL、ゲート電極GTとソース電極SD1、ドレイン電極SD2とが短絡し、線欠陥、点欠陥になる。また、ゲート電極GTとソース電極SD1、ドレイン電極SD2とで重ね合せ容量が形成されるから、液晶に直流成分が加わり、黒しみ、黒むら不良が発生することがある。

この発明は上述の課題を解決するためになされたもので、線欠陥、点欠陥になることがない液晶

表示装置、黒しみ、黒むら不良が発生することがない液晶表示装置を提供することを目的とする。

#### 【課題を解決するための手段】

この目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素とし、上記画素電極、映像信号線、ソース電極、ドレイン電極を同一の透明導電膜で形成し、上記ソース電極、上記ドレイン電極上にN<sup>+</sup>型半導体層を設け、その上に走査信号線を形成し、上記走査信号線の下方にi型半導体層およびゲート絶縁膜となる絶縁膜を設けたアクティブ・マトリクス方式の液晶表示装置において、少なくとも上記ソース電極部、上記ドレイン電極部の上記i型半導体層の幅を上記走査信号線の幅よりも大きくする。

また、上記目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素とし、上記画素電極、映像信号線、ソース電極、ドレイン電極を同一の透明導電膜で形成し、上記ソース電極、上記ドレイン電極上にN<sup>+</sup>型半導体層を設け、その上に走査信号線を形

成し、上記走査信号線の下方にi型半導体層およびゲート絶縁膜となる絶縁膜を設けたアクティブ・マトリクス方式の液晶表示装置において、上記画素電極とで保持容量素子を構成すべき電極を設ける。

#### 【作用】

この液晶表示装置においては、少なくともソース電極部、ドレイン電極部のi型半導体層の幅を走査信号線の幅よりも大きくしているから、走査信号線、ゲート電極のエッジからの表面リーク電流が生ずることはなく、走査信号線、ゲート電極とソース電極、ドレイン電極とが短絡することはない。

また、上記の液晶表示装置においては、画素電極とで保持容量素子を構成すべき電極を設けているから、ゲート電極とソース電極とで重ね合せ容量が形成されたとしても、液晶に直流成分が加わることがない。

#### 【実施例】

以下、この発明を適用すべきアクティブ・マト

リクス方式のカラー液晶表示装置を説明する。

なお、液晶表示装置を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

第2A図はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図であり、第2B図は第2A図のII B-II B切断線における断面と表示パネルのシール部付近の断面を示す図であり、第2C図は第2A図のII C-II C切断線における断面図である。また、第3図(要部平面図)には、第2A図に示す画素を複数配置したときの平面図を示す。

#### 〈画素配置〉

第2A図に示すように、各画素は、隣接する2本の走査信号線(ゲート信号線又は水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線又は垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、画素電極ITO1および付加容量Caddを含む。走査信号線G

おり、液晶封入口(図示していない)を除く透明ガラス基板SUB1およびSUB2の縁周囲全体に沿って形成されている。シール材SLは、たとえば、エポキシ樹脂で形成されている。

前記上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一個所において、銀ペースト材SILによって、下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線は、前述したゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

配向膜ORI1およびORI2、透明画素電極ITO、共通透明画素電極ITO、保護膜PSV1およびPSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POLは、下部透明ガラス基板SUB1、上部透明ガラス基板SUB2のそれぞれの外側の表面に形成されている。

液晶LCは、液晶分子の向きを設定する下部配向膜ORI1および上部配向膜ORI2の間に封

Lは、列方向に延在し、行方向に複数本配置されている。映像信号線DLは、行方向に延在し、列方向に複数本配置されている。

#### 〈パネル断面全体構造〉

第2B図に示すように、液晶層LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側には、カラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。下部透明ガラス基板SUB1側は、たとえば、1.1[mm]程度の厚さで構成されている。

第2B図の中央部は一面素部分の断面を示しているが、左側は透明ガラス基板SUB1およびSUB2の左側縁部分で外部引出配線の存在する部分の断面を示している。右側は、透明ガラス基板SUB1およびSUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

第2B図の左側、右側のそれぞれに示すシール材SLは、液晶LCを封止するように構成されて

入され、シール部SLによってシールされている。

下部配向膜ORI1は、下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

上部透明ガラス基板SUB2の内側(液晶側)の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極(COM)ITO2および上部配向膜ORI2が順次積層して設けられている。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後、上下透明ガラス基板SUB1およびSUB2を重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

#### 〈薄膜トランジスタTFT〉

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

各画素の薄膜トランジスタTFTは、画素内に

において3つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1、TFT2およびTFT3で構成されている。薄膜トランジスタTFT1~TFT3のそれぞれは、実質的に同一サイズ(チャンネル長と幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1~TFT3のそれぞれは、主に、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1およびドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、本表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

#### 〈ゲート電極GT〉

ゲート電極GTは、第4図(第2A図の層g1、g2およびASのみを描いた平面図)に詳細に示

半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわちTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース・ドレイン電極SD1とSD2間をまたがるに最低限必要な(ゲート電極とソース・ドレイン電極の位置合わせ余裕分も含めて)幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース・ドレイン電極間の距離(チャンネル長)Lとの比、すなわち相互コンダクタンス $g_m$ を決定するファクタ $W/L$ をいくつにするかによって決められる。

この実施例におけるゲート電極の大きさは勿論、上述した本来の大きさよりも大きくされる。

ゲート電極GTのゲートおよび遮光の機能面からだけで考えれば、ゲート電極GTおよび走査信号線GLは単一の層で一体に形成しても良く、この場合不透明導電材料としてSiを含有させたAl、純Al、Pdを含有させたAl等を選ぶことができる。

#### 〈走査信号線GL〉

すように、走査信号線GLから垂直方向(第2A図および第4図において上方向)に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは、薄膜トランジスタTFT1~TFT3のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT1~TFT3のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTFTの形成領域において大きい段差を作らないように、単層の第1導電膜g1で構成する。第1導電膜g1は、たとえばスパッタで形成されたクロム(Cr)膜を用い、1000[Å]程度の膜厚で形成する。

このゲート電極GTは、第2A図、第2B図および第4図に示されているように、半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成される。したがって、基板SUB1の下方に蛍光灯等のバックライトBLを取付けた場合、この不透明のCrゲート電極GTが影となって、

前記走査信号線GLは、第1導電膜g1およびその上部に設けられた第2導電膜g2からなる複合膜で構成されている。この走査信号線GLの第1導電膜g1は、前記ゲート電極GTの第1導電膜g1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g2は、たとえば、スパッタで形成されたアルミニウム膜を用い、1000~5500[Å]程度の膜厚で形成する。第2導電膜g2は、走査信号線GLの抵抗値を低減し、信号伝達速度の高速化(画素の情報の書込特性向上)を図ることができるように構成されている。

また、走査信号線GLは、第1導電膜g1の幅寸法に比べて第2導電膜g2の幅寸法を小さく構成している。すなわち、走査信号線GLは、その側壁の段差形状がゆるやかになっている。

#### 〈ゲート絶縁膜GI〉

絶縁膜GIは、薄膜トランジスタTFT1~TFT3のそれぞれのゲート絶縁膜として使用される。絶縁膜GIは、ゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIは、

たとえば、プラズマCVDで形成された窒化珪素膜を用い、3000[Å]程度の膜厚で形成する。

#### 〈半導体層AS〉

i型半導体層ASは、第4図に示すように、複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのチャネル形成領域として使用される。i型半導体層ASは、アモーフラスシリコン膜又は多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

このi型半導体層ASは、供給ガスの成分を変えてSi、N。ゲート絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもその装置から外部に露出することなく形成される。また、オーミックコンタクト用のPをドーブしたN<sup>+</sup>層d0(第2B図)も同様に連続して約400[Å]の厚さに形成される。しかる後下側基板SUB1はCVD装置から外に取り出され、写真処理技術により、N<sup>+</sup>層d0およびi層ASは第2A図、第2B図および第4図に示すように独立した島にパターンニングされる。

第1導電膜d1は、スパッタで形成したクロム膜を用い、500~1000[Å]の膜厚(この実施例では、600[Å]程度の膜厚)で形成する。クロム膜は、膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜は、N<sup>+</sup>型半導体層d0との接触が良好である。クロム膜は、後述する第2導電膜d2のアルミニウムがN<sup>+</sup>型半導体層d0に拡散することを防止する、所謂バリア層を構成する。第1導電膜d1としては、クロム膜の他に、高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、WSi<sub>2</sub>)膜で形成してもよい。

第1導電膜d1を写真処理でパターンニングした後、同じ写真処理用マスクで或は第1導電膜d1をマスクとしてN<sup>+</sup>層d0が除去される。つまり、i層AS上に残っていたN<sup>+</sup>層d0は第1導電膜d1以外の部分がセルフアラインで除去される。このとき、N<sup>+</sup>層d0はその厚さ分は全て除去されるようエッチされるのでi層ASも若干の表

i型半導体層ASは、第2A図および第4図に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部i型半導体層ASは、交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

#### 〈ソース・ドレイン電極SD1、SD2〉

複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのソース電極SD1とドレイン電極SD2とは、第2A図、第2B図および第5図(第2A図の層d1~d3のみを描いた平面図)で詳細に示すように、半導体層AS上にそれぞれ離隔して設けられている。

ソース電極SD1、ドレイン電極SD2のそれぞれは、N<sup>+</sup>型半導体層d0に接触する下層側から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

面部分でエッチされるが、その程度はエッチ時間で制御すれば良い。

しかる後第2導電膜d2が、アルミニウムのスパッタリングで3000~5500[Å]の膜厚(この実施例では、3500[Å]程度の膜厚)に形成される。アルミニウム膜は、クロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第2導電膜d2としては、アルミニウム膜の他に、シリコン(Si)や銅(Cu)を添加物として含有させたアルミニウム膜で形成してもよい。

第2導電膜d2の写真処理技術によるパターンニング後第3導電膜d3が形成される。この第3導電膜d3はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)から成り、1000~2000[Å]の膜厚(この実施例では、1200[Å]程度の膜厚)で形成される。この第3導電膜d3は、ソース電極SD1、ドレイン電極SD2および映像信号線DLを構成すると共に、透明画

素電極ITO1を構成するようになっている。

ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、上層の第2導電膜d2および第3導電膜d3に比べて内側に（チャンネル領域内に）大きく入り込んでいる。つまり、これらの部分における第1導電膜d1は、層d2、d3とは無関係に薄膜トランジスタTFTのゲート長Lを規定できるように構成されている。

ソース電極SD1は、前記のように、透明画素電極ITO1に接続されている。ソース電極SD1は、i型半導体層ASの段差形状（第1導電膜g1の膜厚、N<sup>+</sup>層d0の膜厚およびi型半導体層ASの膜厚とを加算した膜厚に相当する段差）に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差形状に沿って形成された第1導電膜d1と、この第1導電膜d1の上部にそれに比べて透明画素電極ITO1と接続される側を小さいサイズで形成した第2導電膜d2と、この第2導電膜から露出する第1導

電膜d1に接続された第3導電膜d3とで構成されている。ソース電極SD1の第2導電膜d2は、第1導電膜d1のクロム膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第2導電膜d2は、厚く形成することでステップカバレッジを向上している。第2導電膜d2は、厚く形成できるので、ソース電極SD1の抵抗値（ドレイン電極SD2や映像信号線DLについても同様）の低減に大きく寄与している。第3導電膜d3は、第2導電膜d2のi型半導体層ASに起因する段差形状を乗り越えることができないので、第2導電膜d2のサイズを小さくすることで露出する第1導電膜d1に接続するように構成されている。第1導電膜d1と第3導電膜d3とは、接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、確実に接続することができる。

〈画素電極ITO1〉

前記透明画素電極ITO1は、各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極ITO1は、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに対応して3つの透明画素電極（分割透明画素電極）E1、E2、E3に分割されている。透明画素電極E1～E3は各々薄膜トランジスタTFTのソース電極SD1に接続されている。

透明画素電極E1～E3のそれぞれは、実質的に同一面積となるようにバタニングされている。

このように、1画素の薄膜トランジスタTFTを複数の薄膜トランジスタTFT1～TFT3に分割し、この複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに複数に分割した透明画素電極E1～E3のそれぞれを接続することにより、分割された一部分（たとえば、TFT1）が点欠陥になっても、画素全体で見れば点欠陥でなくなる（TFT2およびTFT3が欠陥でない）ので、点欠陥の確率を低減することができる。また欠陥を見にくくすることができる。

また、前記画素の分割された透明画素電極E1～E3のそれぞれを実質的に同一面積で構成することにより、透明画素電極E1～E3のそれぞれと共通透明画素電極ITO2とで構成されるそれぞれの液晶容量（Cpix）を均一にすることができる。

〈保護膜PSV1〉

薄膜トランジスタTFTおよび透明画素電極ITO1上には、保護膜PSV1が設けられている。保護膜PSV1は、主に、薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は、たとえば、プラズマCVDで形成した酸化珪素膜や窒化珪素膜で形成されており、8000[Å]程度の膜厚で形成する。

〈遮光膜BM〉

上部基板SUB2側には、外部光（第2B図では上方からの光）がチャンネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、第6図のハッチングに示



すようなパターンとされている。なお、第6図は第2A図におけるITO膜層d3、フィルタ層FILおよび遮光膜BMのみを描いた平面図である。遮光膜BMは、光に対する遮蔽性が高い、たとえば、アルミニウム膜やクロム膜等で形成されており、この実施例では、クロム膜がスパッタリングで1300[Å]程度の膜厚に形成される。

したがって、TFT1~3の共通半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは第6図のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され(ブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとしコントラストが向上する。つまり遮光膜BMは、半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

なお、バックライトをSUB2側に取り付け、

SUB1を観察側(外部露出側)とすることもできる。

#### 〈共通電極ITO2〉

共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素毎に設けられた透明画素電極ITO1に対向し、液晶の光学的な状態は各画素電極ITO1と共通電極ITO2間の電位差(電界)に依存して変化する。この共通透明画素電極ITO2には、コモン電圧 $V_{com}$ が印加されるように構成されている。コモン電圧 $V_{com}$ は、映像信号線DLに印加されるロウレベルの駆動電圧 $V_{dmin}$ とハイレベルの駆動電圧 $V_{dmax}$ との中間電位である。

#### 〈カラーフィルタFIL〉

カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは、画素に対向する位置に各画素毎にドット状に形成され(第7図)、染め分けられている(第7図は第3図の第3導電膜層d3とカラーフィルタ層FIL

のみを描いたもので、R、G、Bの各フィルターはそれぞれ、 $45^\circ$ 、 $135^\circ$ 、クロスハッチを施してある)。カラーフィルタFILは第6図に示すように画素電極ITO1(E1~E3)の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび画素電極ITO1のエッジ部分と重なるよう画素電極ITO1の周縁部より内側に形成されている。

カラーフィルタFILは、次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。次に、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

#### 〈保護膜PSV2〉

保護膜PSV2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜P

SV2は、たとえば、アクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

#### 〈画素配列〉

前記液晶表示部の各画素は、第3図および第7図に示すように、走査信号線GLが延在する方向と同一列方向に複数配置され、画素列X1、X2、X3、X4、…のそれぞれを構成している。各画素列X1、X2、X3、X4、…のそれぞれの画素は、薄膜トランジスタTFT1~TFT3および透明画素電極E1~E3の配置位置を同一に構成している。つまり、奇数画素列X1、X3、…のそれぞれの画素は、薄膜トランジスタTFT1~TFT3の配置位置を左側、透明画素電極E1~E3の配置位置を右側に構成している。奇数画素列X1、X3、…のそれぞれの行方向の隣りの偶数画素列X2、X4、…のそれぞれの画素は、奇数画素列X1、X3、…のそれぞれの画素を前記映像信号線DLの延在方向を基準にして線対称でひっくり返した画素で構成されている。すなわち、画素列X2、X4、…のそれぞれの画素は、薄膜トランジスタ

TFT1～TFT3の配置位置を右側、透明画素電極E1～E3の配置位置を左側に構成している。そして、画素列X2, X4, …のそれぞれの画素は、画素列X1, X3, …のそれぞれの画素に対し、列方向に半画素間隔移動させて(ずらして)配置されている。つまり、画素列Xの各画素間隔を1.0(1.0ピッチ)とすると、次段の画素列Xは、各画素間隔を1.0とし、前段の画素列Xに対して列方向に0.5画素間隔(0.5ピッチ)ずれている。各画素間を行方向に延在する映像信号線DLは、各画素列X間において、半画素間隔分(0.5ピッチ分)列方向に延在するように構成されている。

その結果、第7図に示すように、前段の画素列Xの所定色フィルタが形成された画素(たとえば、画素列Xの赤色フィルタRが形成された画素)と次段の画素列Xの同一色フィルタが形成された画素(たとえば、画素列X4の赤色フィルタRが形成された画素)とが1.5画素間隔(1.5ピッチ)離隔され、また、RGBのカラーフィルFILは三角形配置となる。カラーフィルFILのR

GBの三角形配置構造は、各色の混色を良くすることができるので、カラー画像の解像度を向上することができる。

また、映像信号線DLは、各画素列X間において、半画素間隔分しか列方向に延在しないので、隣接する映像信号線DLと交差しなくなる。したがって、映像信号線DLの引き回しをなくしその占有面積を低減することができ、また映像信号線DLの迂回をなくし多層配線構造を廃止することができる。

#### 〈表示パネル全体等価回路〉

この液晶表示部装置の等価回路を第8図に示す。XiG, Xi+1G, …は、緑色フィルタGが形成される画素に接続された映像信号線DLである。XiB, Xi+1B, …は、青色フィルタBが形成される画素に接続された映像信号線DLである。Xi+1R, Xi+2R, …は、赤色フィルタRが形成される画素に接続された映像信号線DLである。これらの映像信号線DLは、映像信号駆動回路で選択される。Yiは第3図および第7図に

示す画素列X1を選択する走査信号線GLである。同様に、Yi+1, Yi+2, …のそれぞれは、画素列X2, X3, …のそれぞれを選択する走査信号線GLである。これらの走査信号線GLは、垂直走査回路に接続されている。

#### 〈付加容量Caddの構造〉

透明画素電極E1～E3のそれぞれは、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるようにL字状に屈折して形成されている。この重ね合わせは、第2C図からも明らかなように、透明画素電極E1～E3のそれぞれを一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIと同一層で構成されている。

保持容量Caddは、第4図からも明らかなように、ゲート線GLの1層目g1の幅を広げた部分に形成されている。なお、ドレイン線DLと交差

する部分の層g1はドレイン線との短絡の確率を小さくするため細くされている。

保持容量素子Caddを構成するために重ね合わされる透明画素電極E1～E3のそれぞれと容量電極線(g1)との間の一部には、前記ソース電極SD1と同様に、段差形状を乗り越える際に透明画素電極ITO1が断線しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITO1の面積(開口率)を低下しないように、できる限り小さく構成する。

#### 〈付加容量Caddの等価回路とその動作〉

第2A図に示される画素の等価回路を第9図に示す。第9図において、Cgsは薄膜トランジスタTFTのゲート電極GTおよびソース電極SD1間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIである。Cpixは透明画素電極ITO1(PIX)および共通透明画素電極ITO2(COM)間で形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜P

SV1および配向膜ORI1, ORI2である。  
V1cは中点電位である。

前記保持容量素子Caddは、TFTがスイッチングするとき、中点電位(画素電極電位)V1cに対するゲート電位変化 $\Delta Vg$ の影響を低減するように働く。この様子を式で表すと

$$\Delta V1c = (Cgs / (Cgs + Cadd + Cpix)) \times \Delta Vg$$

となる。ここで $\Delta V1c$ は $\Delta Vg$ による中点電位の変化分を表わす。この変化分 $\Delta V1c$ は液晶に加わる直流成分の原因となるが、保持容量Caddを大きくすればする程その値を小さくすることができる。また、保持容量Caddは放電時間を長くする作用もあり、TFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残る所謂焼き付きを低減することができる。

前述したように、ゲート電極GTは半導体層ASを完全に覆うよう大きくされている分、ソース・ドレイン電極SD1, SD2とのオーバーラップ面

積が増え、したがって寄生容量Cgsが大きくなり中点電位V1cはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量Caddを設けることによりこのデメリットも解消することができる。

前記保持容量素子Caddの保持容量は、画素の寄与特性から、液晶容量Cpixに対して4~8倍( $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ )、重ね合せ容量Cgsに対して8~32倍( $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ )程度の値に設定する。

#### 《付加容量Cadd電極線の結線方法》

容量電極線としてのみ使用される最終段の走査信号線GL(または初段の走査信号線GL)は、第8図に示すように、共通透明画素電極(Vcom)ITO2に接続する。共通透明画素電極ITO2は、第2B図に示すように、液晶表示装置の周縁部において銀ペースト材SLによって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層(g1およびg2)は走査信号線GLと同一製造工程で構成されている。この結果、

最終段の容量電極線GLは、共通透明画素電極ITO2に簡単に接続することができる。

または、第8図の点線で示すように、最終段(初段)の容量電極線GLを初段(最終段)の走査信号線GLに接続しても良い。なお、この接続は液晶表示部内の内部配線或は外部引出配線によって行うことができる。

#### 《付加容量Cadd走査信号による直流分相殺》

この液晶表示装置は、先に本願出願人によって出願された特願昭62-95125号に記載される直流相殺方式(DCキャンセル方式)に基づき、第10図(タイムチャート)に示すように、走査信号線DLの駆動電圧を制御することによってさらに液晶LCに加わる直流成分を低減することができる。第10図において、Viは任意の走査信号線GLの駆動電圧、Vi+1はその次段の走査信号線GLの駆動電圧である。Veeは走査信号線GLに印加されるロウレベルの駆動電圧Vdmin、Vddは走査信号線GLに印加されるハイレベルの駆動電圧Vdmaxである。各時刻 $t = t_1 \sim t_2$ 、

における中点電位V1c(第9図参照)の電圧変化分 $\Delta V_1 \sim \Delta V_4$ は次のようになる。

$$\Delta V_1 = -(Cgs / C) \cdot V_2$$

$$\Delta V_2 = +(Cgs / C) \cdot (V_1 + V_2) - (Cadd / C) \cdot V_2$$

$$\Delta V_3 = -(Cgs / C) \cdot V_1$$

$$+ (Cadd / C) \cdot (V_1 + V_2)$$

$$\Delta V_4 = -(Cadd / C) \cdot V_1$$

ただし、画素の合計の容量: $C = Cgs + Cpix + Cadd$

ここで、走査信号線GLに印加される駆動電圧が充分であれば(下記【注】参照)、液晶LCに加わる直流電圧は、

$$\Delta V_1 + \Delta V_2 + \Delta V_3 + \Delta V_4 = (Cadd \cdot V_2 - Cgs \cdot V_1) / C$$

となるので、 $Cadd \cdot V_2 = Cgs \cdot V_1$ とすると、

液晶LCに加わる直流電圧は0になる。

【注】時刻 $t_1$ 、 $t_2$ で走査線Viの変化分が中点電位V1cに影響を及ぼすが、 $t_2 \sim t_3$ の期間に中点電位V1cは信号線Xiを通じて映像信号電位と同じ電位にされる(映像信号の十分な書き込み)。

液晶にかかる電位はTFTがオフした直後の電位でほぼ決定される(TFTオフ期間がオン期間より圧倒的に長い)。したがって、液晶にかかる直流分の計算は、期間 $t_1 \sim t_2$ はほぼ無視でき、TFTがオフ直後の電位、即ち時刻 $t_1$ 、 $t_2$ における過渡時の影響を考えれば良い。なお、映像信号Viはフレーム毎、あるいはライン毎に極性が反転し、映像信号そのものによる直流分は零とされている。

つまり、直流相殺方式は、重ね合せ容量Cgsによる中点電位Vlcの引き込みによる低下分を、保持容量素子Caddおよび次段の走査信号線GL(容量電極線)に印加される駆動電圧によって押し上げ、液晶LCに加わる直流成分を極めて小さくすることができる。この結果、液晶表示装置は液晶LCの寿命を向上することができる。勿論、遮光効果を上げるためにゲートGTを大きくした場合、それに伴って保持容量Caddの値を大きくすれば良い。

第1A図はこの発明に係る液晶表示装置の液晶

表示部の一部を示す平面図、第1B図は第1A図のIB-IB図である。この液晶表示装置においては、i型半導体層AS1および絶縁膜GIが液晶表示部の全面に設けられており、透明画素電極ITO1とで保持容量素子Caddを構成すべき電極PL11が隣の走査信号線GLから突出して設けられている。

この液晶表示装置においては、i型半導体層AS1および絶縁膜GIが液晶表示部の全面に設けられているから、走査信号線GL、ゲート電極GTのエッジからの表面リーク電流が生ずることはなく、走査信号線GL、ゲート電極GTとソース電極SD1、ドレイン電極SD2とが短絡することはないので、線欠陥、点欠陥になることはない。また、透明画素電極ITO1とで保持容量素子Caddを構成すべき電極PL11を設けているから、ゲート電極GTとソース電極SD1、ドレイン電極SD2とで重ね合せ容量が形成されたとしても、液晶LCに直流成分が加わることがないから、黒しみ、黒むら不良が発生することがない。

つぎに、第1A図、第1B図に示した液晶表示装置の製造方法について説明する。まず、7059ガラス(商品名)からなる下部透明ガラス基板SUB1上に膜厚が300~1200[Å]たとえば1200[Å]の非晶質のITO膜d11をスパッタリングにより設ける。つぎに、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が400[Å]の非晶質のN<sup>+</sup>型シリコン膜d01を設ける。つぎに、写真蝕刻技術により透明画素電極ITO1、ドレイン配線DL、ドレイン端子(図示せず)、ソース電極SD1、ドレイン電極SD2形成用のレジストパターンを形成したのち、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用してN<sup>+</sup>型シリコン膜d01を選択的にエッチングし、さらにエッチング液として塩酸と硝酸との混酸を使用してITO膜d11を選択的にエッチングする。つぎに、レジストを除去したのち、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が400~3000[Å]の非晶質のi型シリコン膜を設けて、i型半導体層AS1を液晶表

示部の全面に形成したのち、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500[Å]の窒化シリコン膜を設けて、絶縁膜GIを液晶表示部の全面に形成する。つぎに、膜厚が1000~2500[Å]たとえば2500[Å]のアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタン、アルミニウム-シリコン-銅等からなる導電膜g11をスパッタリングにより設ける。つぎに、エッチング液としてリン酸と硝酸と酢酸との混酸を使用した写真蝕刻技術で導電膜d11を選択的にエッチングすることにより、走査信号線GL、ゲート端子(図示せず)、電極PL11を形成する。つぎに、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1[μm]の窒化シリコン膜を設ける。つぎに、ドライエッチングガスとしてSF<sub>6</sub>を使用した写真蝕刻技術で窒化シリコン膜を選択的にエッチングすることによって、保護膜(図示せず)を形成し、ゲート端子、ドレイン端子を露出させる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、この発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

たとえば、上述実施例においては、*i*型半導体層AS1および絶縁膜GIを液晶表示部の全面に設けたが、少なくともソース電極部、ドレイン電極部の*i*型半導体層AS1、絶縁膜GIの幅を走査信号線GLの幅よりも大きくすればよい。

#### 【発明の効果】

以上説明したように、この発明に係る液晶表示装置においては、少なくともソース電極部、ドレイン電極部の*i*型半導体層の幅を走査信号線の幅よりも大きくしているから、走査信号線、ゲート電極のエッジからの表面リーク電流が生ずることはなく、走査信号線、ゲート電極とソース電極、ドレイン電極とが短絡することはないので、線欠陥、点欠陥になることはない。

また、この発明に係る液晶表示装置においては、

画素電極とで保持容量素子を構成すべき電極を設けているから、ゲート電極とソース電極とで重ね合せ容量が形成されたとしても、液晶に直流成分が加わることがないので、黒しみ、黒むら不良が発生することがない。

このように、この発明の効果は顕著である。

#### 4. 図面の簡単な説明

第1A図はこの発明に係る液晶表示装置の液晶表示部の一部を示す平面図、第1B図は第1A図のIB-IB図、第2A図はこの発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図、第2B図は第2A図のII B-II B切断線で切った部分とシール部周辺部の断面図、第2C図は第2A図のII C-II C切断線における断面図、第3図は第2A図に示す画素を複数配置した液晶表示部の要部平面図、第4図～第6図は第2A図に示す画素の所定の層のみを描いた平面図、第7図は第3図に示す画素電極層とカラーフィルタ層のみを描いたとを重ね合せた状態における要部平面図、

第8図はアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図、第9図は第2A図に記載される画素の等価回路図、第10図は直流相殺方式による走査信号線の駆動電圧を示すタイムチャート、第11図は従来のアクティブ・マトリックス方式の液晶表示装置の液晶表示部の一部を示す平面図、第12図は第11図のA-A切断線における断面図、第13図は第11図のB-B切断線における断面図である。

SUB…透明ガラス基板

GL…走査信号線

DL…映像信号線

GI…絶縁膜

GT…ゲート電極

AS…*i*型半導体層

SD…ソース電極またはドレイン電極

PSV…保護膜

BM…遮光膜

LC…液晶

TFT…薄膜トランジスタ

ITO…透明画素電極

g, d…導電膜

Cadd…保持容量素子

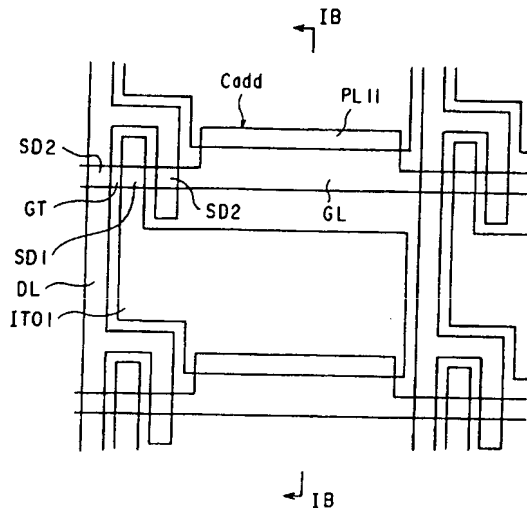
Cgs…重ね合せ容量

Cpix…液晶容量

代理人 弁理士 小川 勝 男

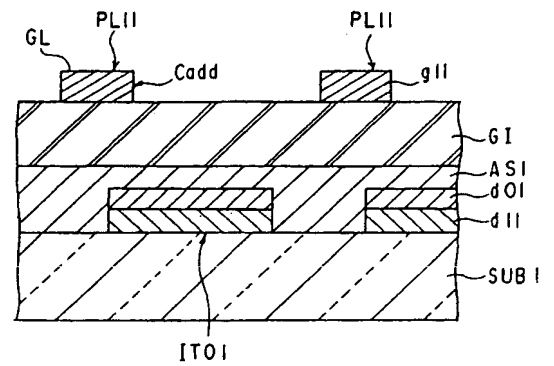


第1A図



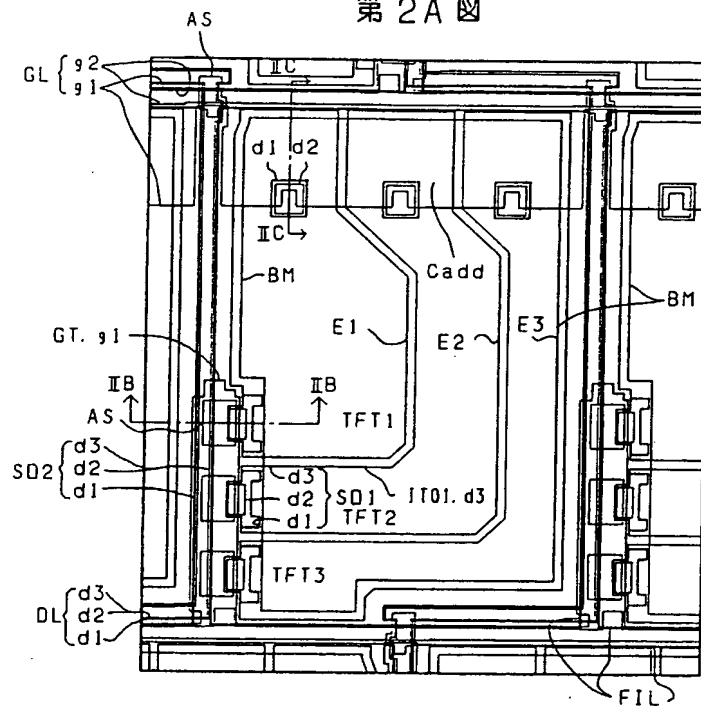
IT01---透明画素電極  
SD1---ソース電極  
GL---走査信号線  
DL---映像信号線  
SD2---ドレイン電極  
PLII---電極

第1B図

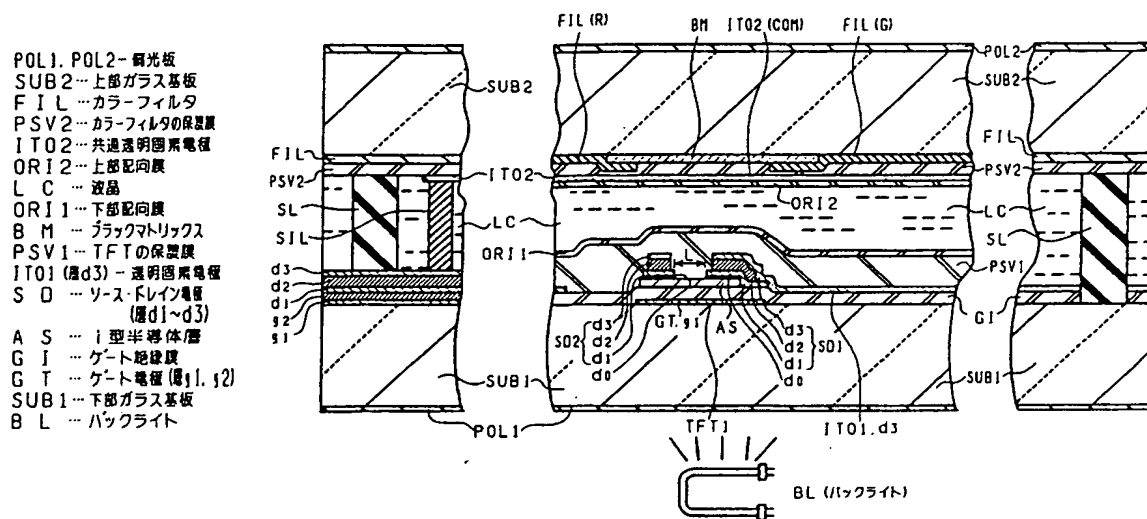


IT01-----透明画素電極  
dOI-----N<sup>+</sup>型半導体層  
ASI-----i型半導体層  
Cadd-----保持容量素子  
dII-----ITO膜  
GL-----走査信号線  
GI-----絶縁膜  
PLII-----電極

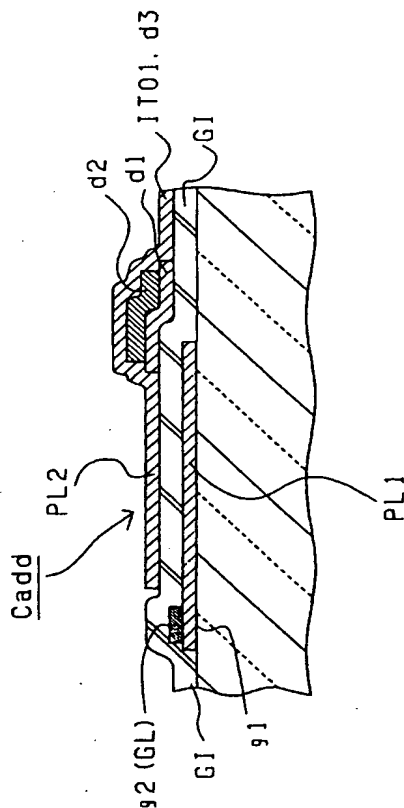
第2A図



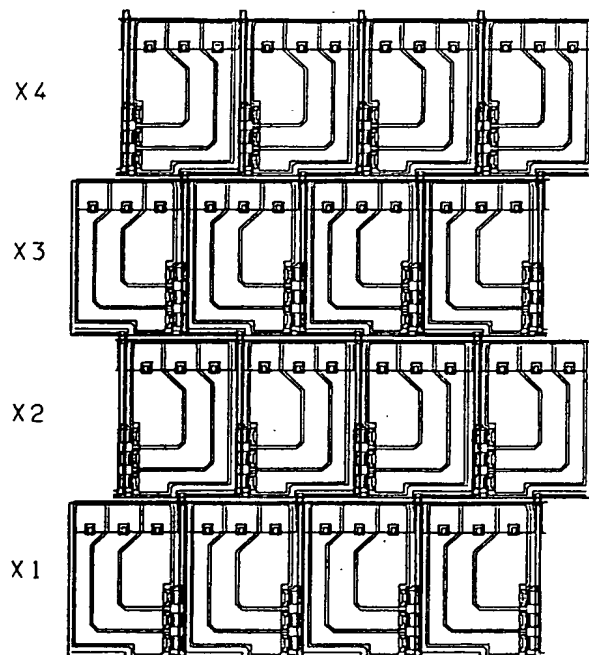
第2B図



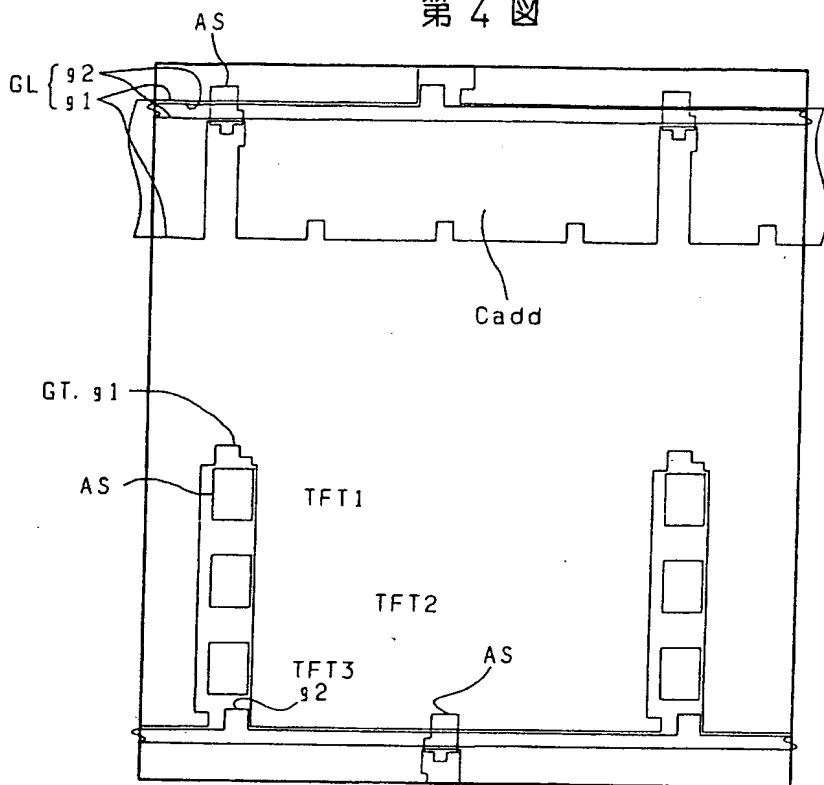
第2C図



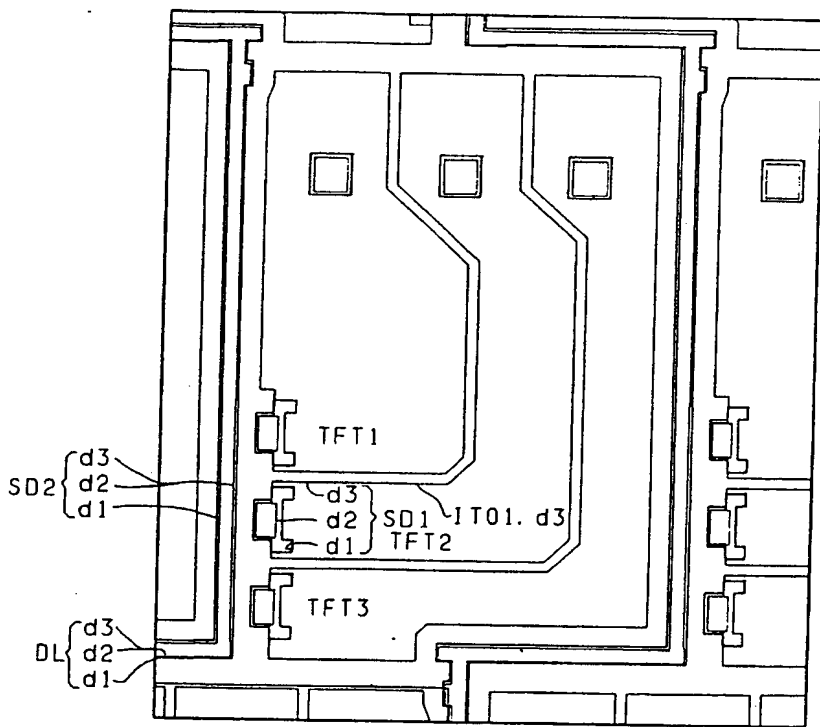
第3図



第 4 図

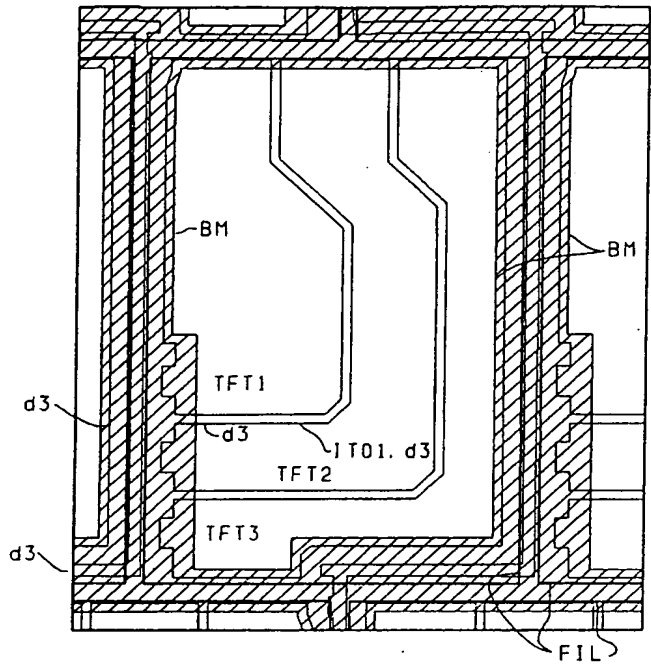


第 5 図

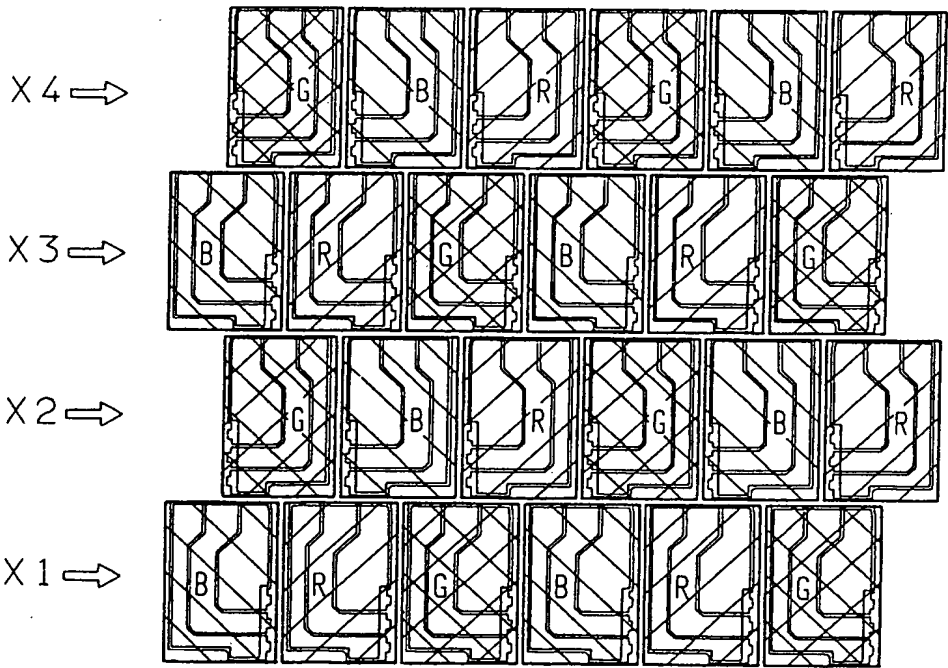




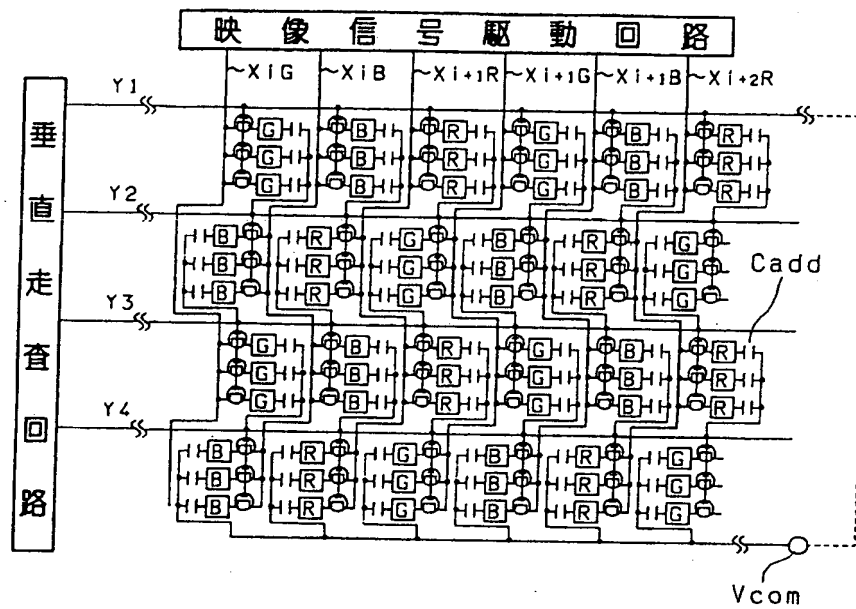
第 6 図



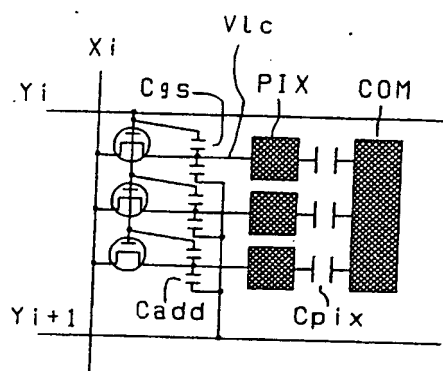
第 7 図



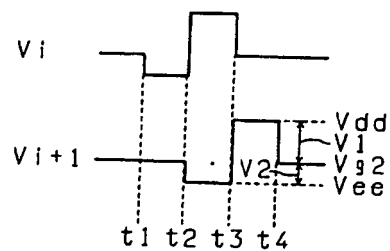
第8図



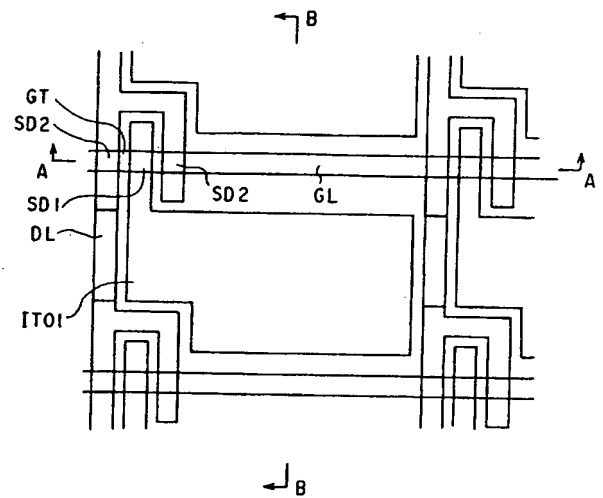
第9図



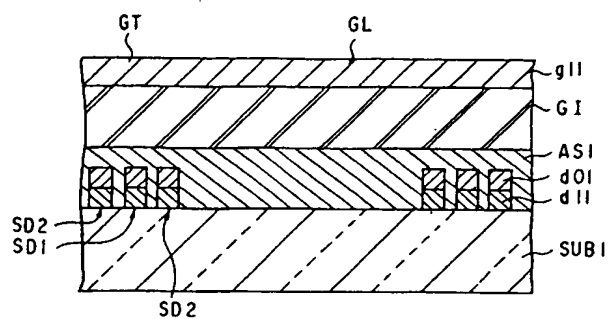
第10図



第11図



第 12 図



第 13 図

